

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015796

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 31/12  
H01L 31/10  
H03K 17/78

(21)Application number : 11-186917

(71)Applicant : MATSUSHITA ELECTRIC WORKS  
LTD

(22)Date of filing : 30.06.1999

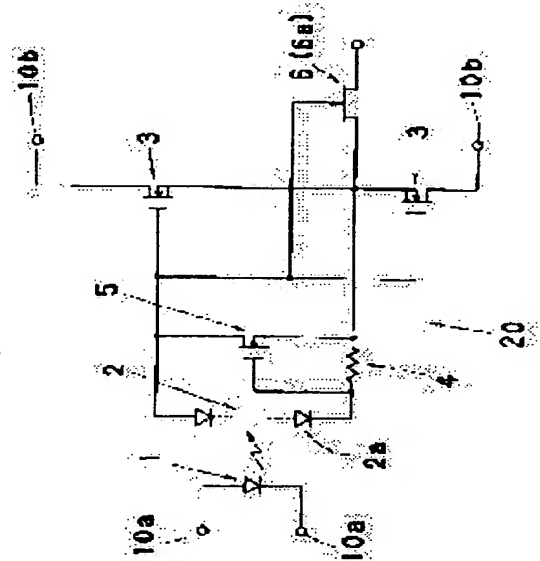
(72)Inventor : IZUMI MASAHIRO  
AKIYAMA SHIGEO

## (54) SEMICONDUCTOR RELAY

## (57)Abstract:

PROBLEM TO BE SOLVED: To avoid leakage of a high-frequency signal using a single semiconductor relay.

SOLUTION: A semiconductor relay has a light emitting device 1, which emits light according to an input signal, a photodetector 2 which receives the light of the light emitting device 1 and generates a photoelectromotive force, dual-output MOSFETs 3 and 3, in which charge is accumulated between their gates and sources by the photoelectromotive force of the photodetector 2 and impedances between their drains and sources are changed and a charging/ discharging control transistor 5, which controls charging/discharging of charge in the dual-output MOSFETs 3 and 3. In the semiconductor relay, a ground control transistor 6 whose one terminal is connected to the sources of the dual-output MOSFETs 3 and 3, whose other terminal is grounded and in which the impedance between one terminal and the other terminal is changed in reverse to the dual-output MOSFETs by the accumulation of charge between the one terminal and the other terminal is provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

*This Page Blank (uspto)*

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15796

(P2001-15796A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード(参考)

H 0 1 L 31/12

H 0 1 L 31/12

F 5 F 0 4 9

31/10

H 0 3 K 17/78

G 5 F 0 8 9

H 0 3 K 17/78

H 0 1 L 31/10

G 5 J 0 5 0

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号

特願平11-186917

(22) 出願日

平成11年6月30日 (1999.6.30)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 泉 雅裕

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 秋山 茂夫

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100111556

弁理士 安藤 淳二 (外1名)

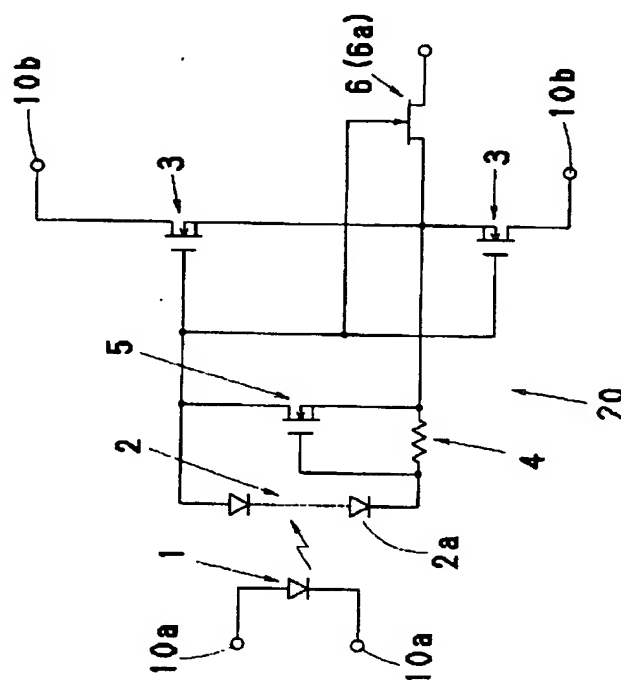
最終頁に続く

(54) 【発明の名称】 半導体リレー

(57) 【要約】

【課題】 本半導体リレー 1 個の使用で高周波信号の漏洩を防止する。

【解決手段】 入力信号に応じて発光する発光素子1と、発光素子1の光を受光して光起電力を発生する受光素子2と、受光素子2による光起電力によりゲートソース間に電荷が充電されてドレインソース間のインピーダンスが変化するソースが互いに接続された両出力用MOSFET3,3と、両出力用MOSFET3,3のゲートソース間に接続され両出力用MOSFET3,3の電荷の充放電を制御する充放電制御用トランジスタ5と、を備えた半導体リレーにおいて、一方端子が両出力用MOSFET3のソースに接続され他方端子が接地端子となり受光素子2による光起電力により一方端子と制御端子との間電荷が充電されることにより一方端子と他方端子との間のインピーダンスが両出力用MOSFET3,3とは逆に変化する接地制御用トランジスタ6が設けられた構成にしてある。



1

## 【特許請求の範囲】

【請求項 1】 入力信号に応じて発光する発光素子と、発光素子の光を受光して光起電力を発生する受光素子と、受光素子により発生された光起電力がゲートソース間に印加して電荷が充電されることによりドレインソース間が高インピーダンス又は低インピーダンスに変化しソースが互いに接続された 2 個の出力用 MOSFET と、受光素子に直列接続された充放電制御用インピーダンス要素と、両出力用 MOSFET のゲートソース間にそれぞれ接続され充放電制御用インピーダンス要素の両端電圧に応じてインピーダンスが変化して両出力用 MOSFET の電荷の充放電をそれぞれ制御する充放電制御用トランジスタと、を備えた半導体リレーにおいて、一方端子が両出力用 MOSFET のソースにそれぞれ接続されるとともに他方端子が接地端子となり受光素子により発生された光起電力が一方端子と制御端子との間に印加して電荷が充電されることにより一方端子と他方端子との間のインピーダンスが両出力用 MOSFET とは逆に変化する接地制御用トランジスタが設けられたことを特徴とする半導体リレー。

【請求項 2】 前記両出力用 MOSFET は、いずれもエンハンスメント型であり、前記両出力用 MOSFET のゲートと前記受光素子との間のインピーダンスを前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスよりも大きくしたことを特徴とする請求項 1 記載の半導体リレー。

【請求項 3】 前記両出力用 MOSFET のゲートと前記受光素子との間に単一の時間差用インピーダンス素子を設けることにより、前記両出力用 MOSFET のゲートと前記受光素子との間のインピーダンスを前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスよりも大きくしたことを特徴とする請求項 2 記載の半導体リレー。

【請求項 4】 前記両出力用 MOSFET は、いずれもディプレッション型であり、前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスを前記両出力用 MOSFET のゲートと前記受光素子との間のインピーダンスをよりも大きくしたことを特徴とする請求項 1 記載の半導体リレー。

【請求項 5】 前記接地制御用トランジスタの制御端子と前記受光素子との間に単一の時間差用インピーダンス素子を設けることにより、前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスを前記両出力用 MOSFET のゲートと前記受光素子との間のインピーダンスをよりも大きくしたことを特徴とする請求項 4 記載の半導体リレー。

【請求項 6】 前記接地制御用トランジスタは、JFET であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体リレー。

【請求項 7】 前記接地制御用トランジスタは、MOS

2

FET であることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体リレー。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波信号の漏洩を防止する半導体リレーに関するものである。

【0002】

【従来の技術】従来、半導体リレー 20 は、図 4 に示すように、発光ダイオード（発光素子）1、フォトダイオードアレイ（受光素子）2、出力用 MOSFET 3、3、充放電制御用抵抗 4、充放電制御用 MOSFET 5 を備えて構成されている。

【0003】発光ダイオード（発光素子）1 は、入力端子 10a、10a の間に入力される入力信号に応じて光信号を発光する。フォトダイオードアレイ（受光素子）2 は、複数個のフォトダイオード 2a が直列接続されてなり、発光ダイオード 1 からの光信号を受光して光起電力を発生する。

【0004】出力用 MOSFET 3、3 は、いずれも N チャネルエンハンスメント型であり、それぞれのゲートがフォトダイオードアレイ 2 のアノードに接続され、それぞれのドレインが出力端子 10b、10b に接続され、ソースが互いに接続されている。

【0005】充放電制御用抵抗 4 は、フォトダイオードアレイ 2 のカソードに接続されることにより、フォトダイオードアレイ 2 に直列接続されている。

【0006】充放電制御用 MOSFET 5 は、ディプレッション型であり、そのゲート及びソースが充放電制御用抵抗 4 を介して接続されるとともに、ドレインが出力用 MOSFET 3、3 のゲート及びフォトダイオードアレイ 2 のアノードにそれぞれ接続されている。

【0007】次に、動作を説明する。発光ダイオード 1 が入力信号に応じて光信号を発光すると、フォトダイオードアレイ 2 が発光ダイオード 1 の光信号を受光して光起電力を発生する。この光起電力により、出力用 MOSFET 3 のゲートソース間に電荷が充電されるとともに、充放電制御用抵抗 4 を通り、充放電制御用 MOSFET 5 のドレインソース間に電流が流れる。こうして、充放電制御用抵抗 4 に電流が流れると、充放電制御用抵抗 4 の両端に電位差が発生し、その電位差により、充放電制御用 MOSFET 5 のドレインとソースとの間が、低インピーダンスから高インピーダンスに変化する。

【0008】このように、充放電制御用 MOSFET 5 のドレインとソースとの間が、低インピーダンスから高インピーダンスに変化すると、出力用 MOSFET 3 のゲートソース間に電荷が効率良く充電されるようになり、出力用 MOSFET 3 のドレインソース間が、高インピーダンスから低インピーダンスに変化する。

【0009】そして、発光ダイオード 1 に入力信号が入力されなくなり、発光ダイオード 1 が発光しなくなる

3

と、フォトダイオードアレイ2が光起電力を発生しなくなる。そうすると、充放電制御用抵抗4の両端に電位差が発生しなくなり、充放電制御用MOSFET5のドレインソース間が、高インピーダンスから低インピーダンスに変化し、出力用MOSFET3のゲートソース間に充電された電荷が、充放電制御用MOSFET5のドレインソース間及び充放電制御用抵抗4を通り、速やかに放電され、出力用MOSFET3のドレインソース間が、低インピーダンスから高インピーダンスに変化する。

【0010】

【発明が解決しようとする課題】上記した半導体リレー20にあっては、高周波信号を制御する場合、出力用MOSFET3,3がそれぞれ有する寄生の容量成分により、高インピーダンス状態のとき、高周波信号の漏洩が発生してしまう。なお、この漏洩量は、高周波信号の周波数が大きくなるほど大きくなる。この高周波信号の漏洩を防止するために、図5に示すように、本半導体リレー20を3つ使用して、それらの3つの半導体リレー20の1つを接地用の半導体リレー20としたT字型回路とし、同図(a)で示すように、他の2つの半導体リレー20をオンにしたときに、接地用の半導体リレー20を他の2つの半導体リレー20とは逆の動作をさせてオフにするとともに、同図(b)で示すように、他の2つの半導体リレー20をオフにしたときに、他の2つの半導体リレー20とは逆の動作をさせてオンにすることがなされている。

【0011】このように、高周波信号の漏洩を防止するためには、3つも半導体リレー20を必要とし、それらの3つの半導体リレー20のうち、接地用の半導体リレー20としたものは、他の2つの半導体リレー20とは逆の動作をさせなくてはならず、それらの3つの半導体リレー20を制御するために設ける制御回路も複雑になってしまう。

【0012】本発明は、上記の点に着目してなされたもので、その目的とするところは、1個しか使用しなくても高周波信号の漏洩を防止することができる半導体リレーを提供することにある。

【0013】

【課題を解決するための手段】上記した課題を解決するために、請求項1記載の発明は、入力信号に応じて発光する発光素子と、発光素子の光を受光して光起電力を発生する受光素子と、受光素子により発生された光起電力がゲートソース間に印加して電荷が充電されることによりドレインソース間が高インピーダンス又は低インピーダンスに変化しソースが互いに接続された2個の出力用MOSFETと、受光素子に直列接続された充放電制御用インピーダンス要素と、両出力用MOSFETのゲートソース間にそれぞれ接続され充放電制御用インピーダンス要素の両端電圧に応じてインピーダンスが変化して両出力用MOSFETの電荷の充放電をそれぞれ制御す

4

る充放電制御用トランジスタと、を備えた半導体リレーにおいて、一方端子が両出力用MOSFETのソースにそれぞれ接続されるとともに他方端子が接地端子となり受光素子により発生された光起電力が一方端子と制御端子との間に印加して電荷が充電されることにより一方端子と他方端子との間のインピーダンスが両出力用MOSFETとは逆に变化する接地制御用トランジスタが設けられた構成にしてある。

【0014】請求項2記載の発明は、請求項1記載の発明において、前記両出力用MOSFETは、いずれもエンハンスメント型であり、前記両出力用MOSFETのゲートと前記受光素子との間のインピーダンスを前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスよりも大きくした構成にしてある。

【0015】請求項3記載の発明は、請求項2記載の発明において、前記両出力用MOSFETのゲートと前記受光素子との間に単一の時間差用インピーダンス素子を設けることによって、前記両出力用MOSFETのゲートと前記受光素子との間のインピーダンスを前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスよりも大きくした構成にしてある。

【0016】請求項4記載の発明は、請求項1記載の発明において、前記両出力用MOSFETは、いずれもデプレッション型であり、前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスを前記両出力用MOSFETのゲートと前記受光素子との間のインピーダンスをよりも大きくした構成にしてある。

【0017】請求項5記載の発明は、請求項4記載の発明において、前記接地制御用トランジスタの制御端子と前記受光素子との間に単一の時間差用インピーダンス素子を設けることによって、前記接地制御用トランジスタの制御端子と前記受光素子との間のインピーダンスを前記両出力用MOSFETのゲートと前記受光素子との間のインピーダンスをよりも大きくした構成にしてある。

【0018】請求項6記載の発明は、請求項1乃至請求項3のいずれかに記載の発明において、前記接地制御用トランジスタは、JFETである構成にしてある。

【0019】請求項7記載の発明は、請求項1乃至請求項5のいずれかに記載の発明において、前記接地制御用トランジスタは、MOSFETである構成にしてある。

【0020】

【発明の実施の形態】本発明の第1実施形態を図1に基づいて以下に説明する。なお、従来例と同一の素子には同一の符号を付し、従来の技術で説明した半導体リレー20と重複する部分は一部省略して説明する。

【0021】このものは、発光ダイオード（発光素子）1、フォトダイオードアレイ（受光素子）2、出力用MOSFET3,3、充放電制御用抵抗4、充放電制御用MOSFET5、接地制御用トランジスタ6を備えて構成されている。

5

【0022】ここで、接地制御用トランジスタ6 以外は、従来の技術で説明した半導体リレー20と同様なので、構成の説明を一部省略する。

【0023】接地制御用トランジスタ6 は、J F E T 6 a であり、その一方端子が両出力用MOS F E T 3, 3 ソースにそれぞれ接続されるとともに、他方端子が接地端子となり、制御端子がフォトダイオードアレイのアノードに接続されている。この接地制御用トランジスタ6 は、フォトダイオードアレイにより発生された光起電力が一方端子と制御端子との間に印加して電荷が充電されることにより、一方端子と他方端子との間のインピーダンスが両出力用MOS F E T 3, 3 とは逆に変化して、低インピーダンスから高インピーダンスとなり、一方端子と制御端子とに充電された電荷が放電されることにより、一方端子と他方端子との間のインピーダンスが両出力用MOS F E T 3, 3 とは逆に変化して、高インピーダンスから低インピーダンスとなる。

【0024】次に、動作を説明する。発光ダイオード1 が入力信号に応じて光信号を発光すると、フォトダイオードアレイ2 が発光ダイオード1 の光信号を受光して光起電力を発生する。この光起電力により、出力用MOS F E T 3 のゲートソース間及び接地制御用トランジスタ6 の一方端子と制御端子との間に電荷が充電されるとともに、充放電制御用抵抗4 を通り、充放電制御用MOS F E T 5 のドレインソース間に電流が流れる。こうして、充放電制御用抵抗4 に電流が流れると、充放電制御用抵抗4 の両端に電位差が発生し、その電位差により、充放電制御用MOS F E T 5 のドレインとソースとの間が、低インピーダンスから高インピーダンスに変化する。

【0025】このように、充放電制御用MOS F E T 5 のドレインとソースとの間が、低インピーダンスから高インピーダンスに変化すると、出力用MOS F E T 3 のゲートソース間及び接地制御用トランジスタ6 の一方端子と制御端子との間に電荷が効率良く充電されるようになる。その結果、出力用MOS F E T 3 のドレインソース間が、高インピーダンスから低インピーダンスに変化し、接地制御用トランジスタ6 の一方端子と他方端子との間が、低インピーダンスから高インピーダンスに変化する。

【0026】そして、発光ダイオード1 に入力信号が入力されなくなり、発光ダイオード1が発光しなくなると、フォトダイオードアレイ2 が光起電力を発生しなくなる。そうすると、充放電制御用抵抗4 の両端に電位差が発生しなくなり、充放電制御用MOS F E T 5 のドレインソース間が、低インピーダンスから高インピーダンスに変化し、出力用MOS F E T 3 のゲートソース間及び接地制御用トランジスタ6 の一方端子と制御端子との間に充電された電荷が、充放電制御用MOS F E T 5 のドレインソース間及び充放電制御用抵抗4 を通り、速や

6

かに放電される。その結果、出力用MOS F E T 3 のドレインソース間が、低インピーダンスから高インピーダンスに変化し、接地制御用トランジスタ6 の一方端子と他方端子との間が、高インピーダンスから低インピーダンスに変化する。

【0027】かかる半導体リレー20にあつては、両出力用MOS F E T 3, 3 が高インピーダンスになった場合、接地制御用トランジスタ6 は、低インピーダンスになるので、高周波信号が両出力用MOS F E T 3, 3 のいずれを介して漏洩しても、その漏洩した高周波信号が、低インピーダンスとなった接地制御用トランジスタ6 を介してアースされて、本半導体リレー20の出力用MOS F E T 3 を通過することではなく、本半導体リレー20を1 個しか使用しなくても高周波信号の漏洩を防止することができる。

【0028】また、接地制御用トランジスタ6 は、J F E T 6 a という、制御端子による電圧制御によりインピーダンスの制御が容易なトランジスタからなるので、本半導体リレーの制御が容易になる。

【0029】次に、本発明の第2 実施形態を図2 及び図3 に基づいて以下に説明する。なお、第1 実施形態と同一の素子には同一の符号を付し、第1 実施形態とは異なるところのみ記す。本実施形態は、基本的には第1 実施形態と同様であるが、両出力用MOS F E T 3, 3 のゲートとフォトダイオードアレイ2 のアノードとの間に時間差用抵抗（時間差用インピーダンス素子）7 を接続することにより、両出力用MOS F E T のゲートとフォトダイオードアレイ2 との間のインピーダンスを接地制御用トランジスタ6 の制御端子とフォトダイオードアレイ2 との間のインピーダンスよりも大きくした構成となっている。

【0030】かかる半導体リレー20にあつては、両出力用MOS F E T 3, 3 のゲートとフォトダイオードアレイ2 との間のインピーダンスが接地制御用トランジスタ6 の制御端子とフォトダイオードアレイ2 との間のインピーダンスよりも大きいことにより、両出力用MOS F E T 3, 3 のゲートソース間は、接地制御用トランジスタ6 の一方端子と制御端子との間よりも、充電速度が遅くなるとともに、放電速度が速くなるから、図3 (a) 乃至 (c) に示すように、両出力用MOS F E T 3, 3 が低インピーダンスになるよりも早く接地制御用トランジスタ6 が高インピーダンスになるとともに、両出力用MOS F E T 3, 3 が高インピーダンスになるよりも遅く接地制御用トランジスタ6 が低インピーダンスになる。その結果、両出力用MOS F E T 及び接地制御用トランジスタ6 のいずれもが、低インピーダンスになることはなく、高周波信号の漏洩を防止することができるという第1 実施形態の効果を確実に奏することができる。

【0031】また、両出力用MOS F E T 3, 3 のゲートとフォトダイオードアレイ2 との間にたった1 つの時間

10

20

30

40

50



7

差用抵抗7を接続することにより、両出力用MOSFET3,3のゲートとフォトダイオードアレイ2との間のインピーダンスを接地制御用トランジスタ6の制御端子とフォトダイオードアレイ2との間のインピーダンスよりも大きくしているため、回路構成が複雑にならなくなる。

【0032】また、接地制御用トランジスタ6は、JFET6aという、制御端子による電圧制御によりインピーダンスの制御が容易なトランジスタからなるので、本半導体リレー20の制御が容易になる。

【0033】なお、第1及び第2実施形態では、接地制御用トランジスタ6は、JFET6aであるが、ディプレッション型のMOSFETであっても、同様の効果を奏することができる。

【0034】また、第1及び第2実施形態では、両出力用MOSFET3,3は、エンハスメント型であるが、ディプレッション型であっても、接地制御用トランジスタ6をエンハスメント型のMOSFETとすることにより、本半導体リレー201個の使用でも高周波信号の漏洩を防止できるという効果を奏することができる。

【0035】さらに、両出力用MOSFET3,3をエンハスメント型とした場合に、接地制御用トランジスタ6の制御端子とフォトダイオードアレイ2との間のインピーダンスを両出力用MOSFET3,3のゲートとフォトダイオードアレイ2との間のインピーダンスよりも大きくすることにより、接地制御用トランジスタ6の一方端子と制御端子との間は、両出力用MOSFETのゲートソース間よりも、充電速度が遅くなるとともに、放電速度が速くなるから、接地制御用トランジスタ6が低インピーダンスになるよりも早く両出力用MOSFETが高インピーダンスになるとともに、接地制御用トランジスタ6が高インピーダンスになるよりも遅く両出力用MOSFETが低インピーダンスになる。その結果、両出力用MOSFET及び接地制御用トランジスタ6のいずれもが、低インピーダンスになることはなく、高周波信号の漏洩を防止することができるという効果を確実に奏することができる。

【0036】このように、両出力用MOSFET3,3をエンハスメント型とする場合に、接地制御用トランジスタ6の制御端子とフォトダイオードアレイ2との間に単一の時間差用抵抗を接続することにより、回路構成が複雑にならなくなる。

【0037】

【発明の効果】請求項1記載の発明は、両出力用MOSFETが高インピーダンスになった場合、接地制御用トランジスタは、低インピーダンスになるため、高周波信号が両出力用MOSFETのいずれを介して漏洩しても、その漏洩した高周波信号が、低インピーダンスとなった接地制御用トランジスタを介してアースされて、本半導体リレーの出力用MOSFETを通過することとはな

8

く、1個の使用でも高周波信号の漏洩を防止することができる。

【0038】請求項2記載の発明は、時間差用インピーダンス要素が設けられることにより、両出力用MOSFETが低インピーダンスになるよりも早く接地制御用トランジスタが高インピーダンスになるとともに、両出力用MOSFETが高インピーダンスになるよりも遅く接地制御用トランジスタが低インピーダンスになる。その結果、両出力用MOSFET及び接地制御用トランジスタのいずれもが、低インピーダンスになることはなく、高周波信号の漏洩を防止することができるという請求項1記載の効果を確実に奏することができる。

【0039】請求項3記載の発明は、請求項2記載の発明の効果に加えて、両出力用MOSFETのゲートと受光素子との間にたった1つの時間差用インピーダンス要素を設けることにより、両出力用MOSFETのゲートと受光素子との間のインピーダンスを接地制御用トランジスタの制御端子と受光素子との間のインピーダンスよりも大きくしているため、回路構成が複雑にならなくなる。

【0040】請求項4記載の発明は、接地制御用トランジスタの制御端子と受光素子との間のインピーダンスが両出力用MOSFETのゲートと受光素子との間のインピーダンスよりも大きいことにより、接地制御用トランジスタの一方端子と制御端子との間は、両出力用MOSFETのゲートソース間よりも、充電速度が遅くなるとともに、放電速度が速くなるから、接地制御用トランジスタが低インピーダンスになるよりも早く両出力用MOSFETが高インピーダンスになるとともに、接地制御用トランジスタが高インピーダンスになるよりも遅く両出力用MOSFETが低インピーダンスになる。その結果、両出力用MOSFET及び接地制御用トランジスタのいずれもが、低インピーダンスになることはなく、高周波信号の漏洩を防止することができるという請求項1記載の効果を確実に奏することができる。

【0041】請求項5記載の発明は、請求項4記載の発明の効果に加えて、接地制御用トランジスタの制御端子と受光素子との間にたった1つの時間差用インピーダンス要素を設けることにより、接地制御用トランジスタの制御端子と受光素子との間のインピーダンスを両出力用MOSFETのゲートと受光素子との間のインピーダンスよりも大きくしているため、回路構成が複雑にならなくなる。

【0042】請求項6記載の発明は、請求項1乃至請求項5のいずれかに記載の効果に加えて、接地制御用トランジスタは、JFETという、制御端子による電圧制御によりインピーダンスの制御が容易なトランジスタからなるので、本半導体リレーの制御が容易になる。

【0043】請求項7記載の発明は、請求項1乃至請求項5のいずれかに記載の効果に加えて、接地制御用トラ

9

ンジスタは、MOSFETという、制御端子による電圧制御によりインピーダンスの制御が容易なトランジスタからなるので、本半導体リレーの制御が容易になる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の回路図である。

【図2】 本発明の第2実施形態の回路図である。

【図3】 同上の接地制御用トランジスタの動作のタイミングを示すタイムチャートである。

【図4】 従来例の回路図である。

【図5】 同上のものを使用して高周波信号の漏洩を防止するために設計されたT字型回路の回路図である。

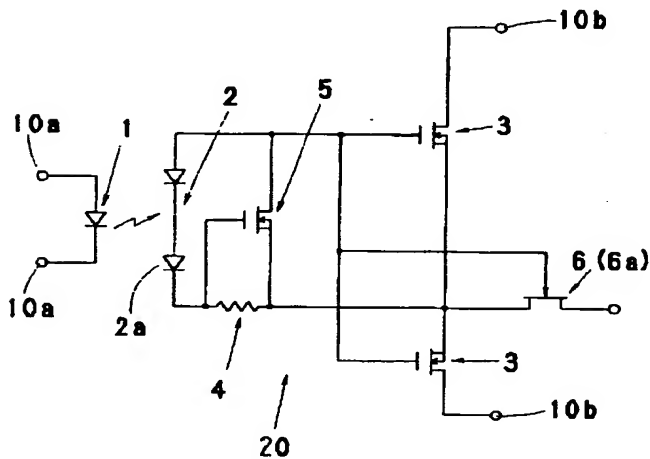
【符号の説明】

10

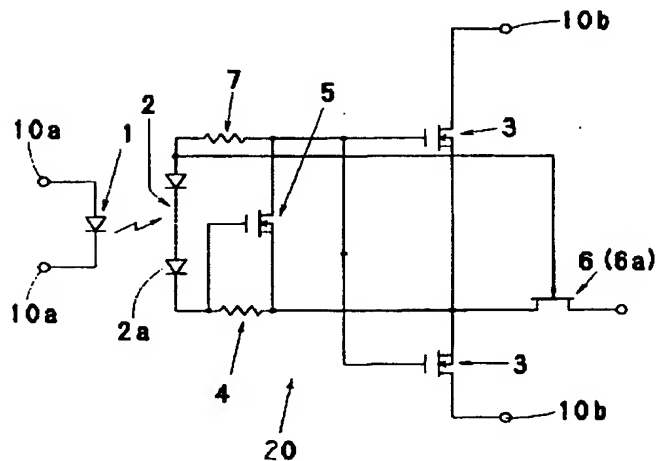
- \*1 発光ダイオード（発光素子）
- 2 フォトダイオードアレイ（受光素子）
- 3 出力用MOSFET
- 4 充放電制御用抵抗（充放電制御用インピーダンス要素）
- 5 充放電制御用MOSFET（充放電制御用トランジスタ）
- 6 接地制御用トランジスタ
- 6a JFET
- 7 時間差用抵抗
- 20 半導体リレー

\*

【図1】



【図2】

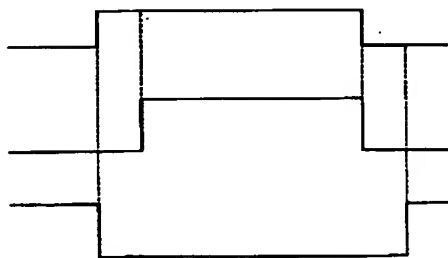


【図3】

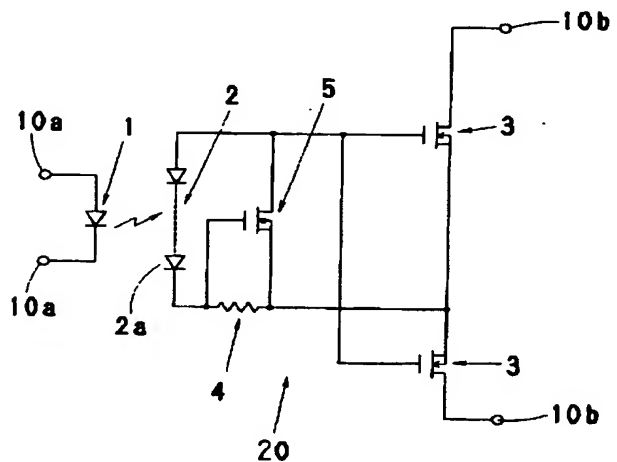
(a) 入力信号

(b) 出力用MOSFET

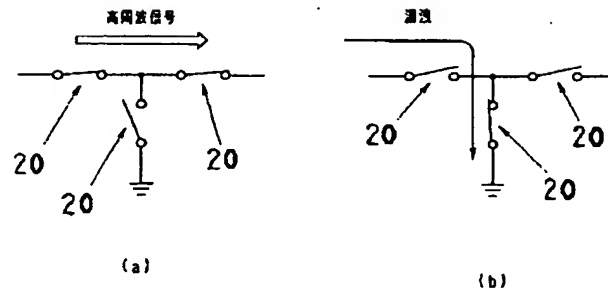
(c) JFET



【図4】



【図 5】



フロントページの続き

Fターム(参考) 5F049 MA01 NA20 NB01 RA02 RA06  
 UA20  
 5F089 AA01 AA10 AB07 AB20 CA12  
 CA21 FA10  
 5J050 AA49 BB21 DD03 DD08 EE17  
 FF04 FF10

*This Page Blank (uspic)*